

PAT-NO: JP361292964A

DOCUMENT-IDENTIFIER: JP 61292964 A

TITLE: MANUFACTURE OF SEMICONDUCTOR
DEVICE

PUBN-DATE: December 23, 1986

INVENTOR-INFORMATION:
NAME
OSHIKA, KATSUSHI
MISHIMAGI, HIROMITSU

ASSIGNEE-INFORMATION:
NAME COUNTRY
HITACHI LTD N/A

APPL-NO: JP60134001

APPL-DATE: June 21, 1985

INT-CL (IPC): H01L029/80, H01L021/265 , H01L021/324

US-CL-CURRENT: 117/102, 438/FOR.265

ABSTRACT:

PURPOSE: To inhibit dissociation through a high-temperature thermal decomposition CVD method for a compound semiconductor while obtaining a passivation film capable of relaxing thermal stress by a method wherein ions are implanted, a plasma silicon oxynitride film is formed, ions are doped to the silicon oxynitride film and the whole is annealed for activation.

CONSTITUTION: A plasma silicon oxynitride film 5 is shaped onto the whole surfaces of the upper sections of a substrate 1 and an electrode 3. The silicon oxynitride film 5 lowers the temperature of a process, and a plasma CVD method is used for inhibiting the dissociation of As. P by phosphine PH₃ is doped to the silicon oxynitride film 5. The P-doped silicon oxynitride film 5 is employed as a passivation film for annealing a cap, and the whole is annealed for activation. Source and drain electrodes 6 and 7 are formed through a boring process for a contact and the processes of evaporation, a lift-off, etc.

COPYRIGHT: (C)1986,JPO&Japio

⑫ 公開特許公報(A)

昭61-292964

⑤ Int. Cl.⁴

識別記号

庁内整理番号

③ 公開 昭和61年(1986)12月23日

H 01 L 29/80
21/265
21/3248122-5F
7738-5F
7738-5F

審査請求 未請求 発明の数 1 (全3頁)

⑥ 発明の名称 半導体装置の製造方法

② 特 願 昭60-134001

② 出 願 昭60(1985)6月21日

⑦ 発 明 者 大 鹿 克 志 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

⑦ 発 明 者 三 島 木 宏 光 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

⑧ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑧ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

発明の名称 半導体装置の製造方法

特許請求の範囲

1. 化合物半導体を用いたMESFETの半導体領域形成のためのイオン打込みを行い、この半導体領域の活性化アニールのためのパッシベーション膜としてプラズマシリコンオキシナイトライド膜を形成し、さらにこのプラズマシリコンオキシナイトライド膜の熱応力緩和のためのドーピングを行い、その後前記活性化アニールを行うことを特徴とする半導体装置の製造方法。

発明の詳細な説明

〔技術分野〕

本発明は化合物半導体MES(Metal Semiconductor)FETの製造方法に関し、特にGaAs MESFETの活性化アニールの技術に関するものである。

〔背景技術〕

化合物半導体MESFETの活性化アニールにおいて、GaAsからのAsの解離防止また重金属

汚染を防ぐためのパッシベーション膜を用いている。このパッシベーション膜は、主として、SiO₂およびSi₃N₄が用いられている。ところで、SiO₂膜は、GaAs MESFETにおいては、Gaに対する外部拡散抑止力が小さく、従って、界面反応が生じやすく良好な界面特性が得られないという問題がある。またSi₃N₄膜は、Gaの外部拡散抑止力が大きく活性化率も良好であり、パッシベーション膜としてはSiO₂膜より優れていると考えられる。しかしながら、密着性の面でSiO₂より劣り、これは裏をかえせばダングリングボンドが多く界面単位が多いと考えられる。

また、CVD法によるSi₃N₄膜は高温形成(700～900℃)であり、600℃以上でAsの解離がはげしくなるという問題がある。そのため、低温で行えるプラズマSi₃N₄膜が用いられているが、大きな圧縮応力がかかるという問題がある。

なお、GaAsデバイスのアニールについては、例えば日経エレクトロニクス1982年11月8日号、P118～P119に示されている。

〔発明の目的〕

本発明の目的は、化合物半導体、たとえば $GaAs$ の As の高温熱分解CVD法による解離を抑えるとともに、熱応力を緩和できるパッシベーション膜の製造技術を提供するものである。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔発明の概要〕

本題において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、低温で処理できるプラズマシリコンオキシナイトライド膜を形成し、このシリコンオキシナイトライド膜にたとえば $GaAs$ の場合はP(リン)をドーピングし、その後活性化のためのアニールを行っている。プラズマCVD法による低温処理であるので As の解離も少なく、また、シリコンオキシナイトライド膜(SiO_xNy)の x , y 組成比を制御することによって Ga の外部拡散

にあたっては、ソースおよびゲートの分離を確保するために、たとえば、ゲート電極3のサイドウォールの形成技術等の技術を用いることができる。このようにして形成されたMESFETの半導体領域、すなわち、Nチャネル層2およびソースとドレインとなる N^+ 型領域4の活性化アニールを行うにあたり、本実施例では以下の工程を経る。

第2図において、基板1および電極3の上部全面にプラズマシリコンオキシナイトライド(SiO_xNy)膜5を形成する。このシリコンオキシナイトライド膜5は、プロセス低温化を行い As の解離を抑制するためにプラズマCVD法を用いている。たとえば $SiH_4 + NO_2$ 系ガスあるいは $SiH_4 + NO_2 + NH_3$ 系ガスをを用いることができ、処理温度は約 $300 \sim 350^\circ C$ である。また、シリコンオキシナイトライド(SiO_xNy)膜5の x , y 組成比は $SiH_4 + NO_2$ 系ガスにあっては NO_2/SiH_4 流量比で制御できることが知られている。たとえば、1981年4月刊行のEvert, P. G. T. Vande Venによる"Solid State Tech."にこの制御技術

量が制御できる。このため、適度な Ga 空孔を生成して高活性化率を達成するものである。さらにPドーピングによって応力を緩和しこれを零とすることも可能である。

〔実施例〕

以下本発明の一実施例を第1図から第3図を参照して説明する。

本実施例においては、化合物半導体として $GaAs$ が用いられている。第1図において符号1は $GaAs$ 半絶縁性基板を示す。この基板1に対して所要のパターニングを行ったホトレジスト膜を用いて、まずNチャネル層2を形成する。このNチャネル層2はシリコンイオンの打込みで形成される。

さらにNチャネル層2を形成した後、高融点金属である WSi あるいは TiW 等のゲート電極材料を蒸着し、これを選択エッチングすることによってゲート電極3を形成する。

このゲート電極3をマスクとしてシリコンイオンの打込みを再び行ってオーミックコンタクト用の N^+ 型領域4を形成する。 N^+ 型領域4の形成

が開示されている。このため、 Ga の外部拡散量を制御することによって、適度な Ga 空孔を生じさせて高活性化率を得ることが可能である。

さらに、前記シリコンオキシナイトライド膜5はフォスフィン PH_3 によるPドーピングが行なわれている。このことは、プラズマ Si_3N_4 よりもその圧縮応力は小さいが、なおかなりの圧縮応力がプラズマシリコンオキシナイトライド膜5にかかるから、ドーピングしたPによって緩和するものである。最適化をはかることによって応力を零とすることも可能である。また、本実施例においては、ドーピングするPはV族であるため、 $GaAs$ の As の空きを埋めて界面特性を向上させる可能性もある。

このあと、Pドーピングしたシリコンオキシナイトライド膜5をキャップアニールのパッシベーション膜として用い活性化アニールを行う。

さらに、第3図において、コンタクト用の孔あけ工程、蒸着、リフトオフ等の工程を経て、ソースおよびドレイン電極6および7を形成する。こ

の電極金属は、たとえば、GaAsとオーミックコンタクトをとるAuGe/Ni/Au合金である。

〔効果〕

- (1) パッシベーション膜をプラズマCVD法による300～350℃の低温プロセスで形成している。このためAsの解離が少なく界面特性の安定化が計れるという効果が得られる。
- (2) パッシベーション膜としてのプラズマシリコンオキシナイトライド膜のx、y組成制御によるGaの外部拡散量を最適化できる。したがって、SiがGa空孔に入りドナーとして働き、活性化率の向上に寄与するという効果が得られる。
- (3) パッシベーション膜に対しGaAsの場合はAsと同族のPをドーピングしているので、熱応力の最適化を計れる。したがって、界面特性、活性化率の向上がもたらせるという効果が得られる。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでも

ない。

〔利用分野〕

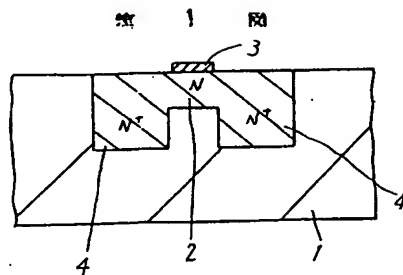
本発明は化合物半導体の活性化アニールに用いることができ、特にGaAs半導体装置に用いて好適である。

図面の簡単な説明

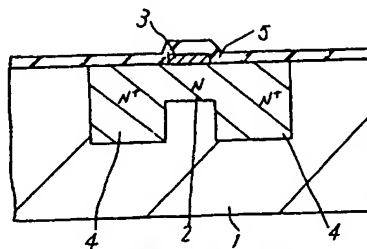
第1図から第3図は本発明による半導体装置の製造方法をGaAsMESFETに適用した一実施例の製造プロセスを示す素子断面図である。

- 1…半絶縁性基板、2…Nチャネル層、3…ゲート電極、4…N⁺型領域、5…パッシベーション層、6…ソース電極、7…ドレイン電極。

代理人 弁理士 小川 勝 男



第 2 図



第 3 図

